

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-269999
(43)Date of publication of application : 20.09.2002

(51)Int.Cl. G11C 29/00
G01R 31/28
G06F 12/16
G11C 17/00

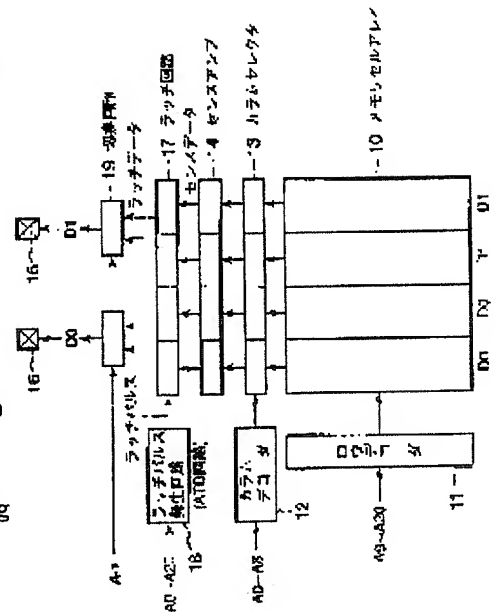
(21)Application number : 2001-071106 (71)Applicant : TOSHIBA CORP
(22)Date of filing : 13.03.2001 (72)Inventor : IWASE TAIRA

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To improve a data read-out rate while holding compatibility with general purpose memories without increasing the number of external terminals and to shorten a time required for a test.

SOLUTION: This device is provided with a plurality of data output terminals 16 outputting data of a plurality of bits in parallel, a latch circuit 17, read-out control circuits (12, 13, 14) reading out data of plural times of the number of data output terminals in parallel, an address transition detecting circuit 18 detecting transition of an address signal and outputting a latch control signal, and an output control circuit 19 switching and controlling based on a switching signal so that data read out in parallel in each read out cycle is held in a latch circuit based on a latch control signal, a fraction of held data is outputted to a plurality of data output terminals during the cycle, and residual data are outputted to a plurality of data output terminals during a specified period of a read-out cycle of the next time.



LEGAL STATUS

[Date of request for examination] 14.03.2005
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-269999
(P2002-269999A)

(43)公開日 平成14年9月20日(2002.9.20)

(51)Int.Cl. ⁷	識別記号	F I	キーワード(参考)
G 1 1 C 29/00	6 7 3	C 1 1 C 29/00	6 7 3 Q 2 G 1 3 2
G 0 1 R 31/28		C 0 6 F 12/16	3 3 0 A 5 B 0 0 3
G 0 6 F 12/16	3 3 0	C 1 1 C 17/00	D 5 B 0 1 8
G 1 1 C 17/00		C 0 1 R 31/28	B 5 L 1 0 6
			V

審査請求 未請求 請求項の数11 O L (全 7 頁)

(21)出願番号 特願2001-71106(P2001-71106)

(22)出願日 平成13年3月13日(2001.3.13)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 岩瀬 平

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

Fターム(参考) 2G132 AA09 AB01 AK07 AL09

5B003 AC04 AD04 AE04

5B018 GA03 JA03 NA04 QA13

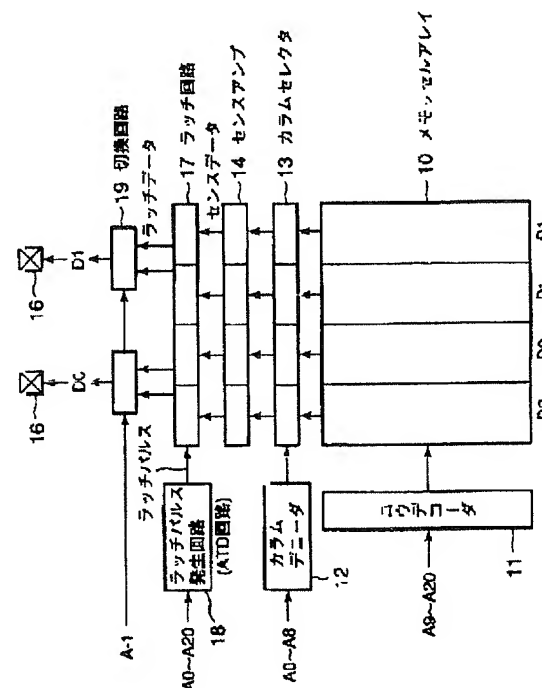
5L106 AA07 AA15 DD04 DD11 GG04

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】外部端子数を増やさず、汎用メモリとの互換性を保ちつつ、データ読み出しのレートを改善し、テストに際して所要時間を短縮する。

【解決手段】複数ビットのデータを並列出力する複数のデータ出力端子16と、ラッチ回路17と、データ出力端子数の複数倍のビットのデータを並列に読み出す読み出し制御回路(12, 13, 14)と、アドレス信号の遷移を検知してラッチ制御信号を出力するアドレス遷移検知回路18と、各読み出しサイクルで並列に読み出されたデータをラッチ制御信号に基づいてラッチ回路に保持させ、保持されたデータのうちの複数分の1のデータを当該サイクル中に複数のデータ出力端子に出力し、残りのデータを次の読み出しサイクルの定められた期間に複数のデータ出力端子に出力するように切換信号に基づいて切換制御する出力制御回路19とを具備する。



【特許請求の範囲】

【請求項1】 メモリセルアレイと、
複数ビットのデータを並列に出力するための複数のデータ出力端子と、
前記メモリセルアレイと複数のデータ出力端子との間に設けられたラッチ回路と、
前記メモリセルアレイから前記複数のデータ出力端子の数の複数倍のビットのデータを並列に読み出す読み出し制御回路と、

アドレス信号の遷移を検知してラッチ制御信号を出力するアドレス遷移検知回路と、

各読み出しサイクルで前記メモリセルアレイから並列に読み出されたデータを前記ラッチ制御信号に応じて前記ラッチ回路に保持させ、この保持されたデータのうちの複数分の1のデータを当該サイクル中に前記複数のデータ出力端子に出力し、残りのデータを次の読み出しサイクルの定められた期間に前記複数のデータ出力端子に出力するように切換信号に基づいて切換制御する出力制御回路とを具備することを特徴とする半導体記憶装置。

【請求項2】 メモリセルアレイと、
複数ビットのデータを並列に出力するための複数のデータ出力端子と、
前記メモリセルアレイと複数のデータ出力端子との間に設けられたラッチ回路と、
前記メモリセルアレイから前記複数のデータ出力端子の数の複数倍のビットのデータを並列に読み出す読み出し制御回路と、

アドレス信号の遷移を検知してラッチ制御信号を出力するアドレス遷移検知回路と、

通常動作時およびテスト動作時の各読み出しサイクルで前記メモリセルアレイから並列に読み出されたデータを前記ラッチ制御信号に応じて前記ラッチ回路に保持させ、この保持されたデータを次の読み出しサイクルの定められた期間に複数分の1のデータ毎に前記複数のデータ出力端子に出力するように切換信号に基づいて切換制御する出力制御回路とを具備することを特徴とする半導体記憶装置。

【請求項3】 メモリセルアレイと、
複数ビットのデータを並列に出力するための複数のデータ出力端子と、
前記メモリセルアレイと複数のデータ出力端子との間に設けられたラッチ回路と、
前記メモリセルアレイから前記複数のデータ出力端子の数の複数倍のビットのデータを並列に読み出す読み出し制御回路と、

アドレス信号の遷移を検知してラッチ制御信号を出力するアドレス遷移検知回路と、

各読み出しサイクルで前記メモリセルアレイから並列に読み出されたデータを前記ラッチ制御信号に応じて前記ラッチ回路に保持させ、通常動作時には、前記保持され

たデータのうちの複数分の1のデータを当該サイクル中に前記複数のデータ出力端子に出力し、残りのデータを次の読み出しサイクルの定められた期間に前記複数のデータ出力端子に出力するように切換信号に基づいて切換制御し、テスト動作時には、前記保持されたデータを次の読み出しサイクルの定められた期間に複数分の1のデータ毎に前記複数のデータ出力端子に出力するように切換信号に基づいて切換制御する出力制御回路とを具備することを特徴とする半導体記憶装置。

【請求項4】 前記切換信号として、外部入力信号が用いられることを特徴とする請求項1乃至3記載の半導体記憶装置。

【請求項5】 メモリセルアレイと、
複数ビットのデータを並列に出力するための複数のデータ出力端子と、
前記メモリセルアレイと複数のデータ出力端子との間に設けられたラッチ回路と、
前記メモリセルアレイから前記複数のデータ出力端子の数の複数倍のビットのデータを並列に読み出す読み出し制御回路と、

各読み出しサイクルで前記メモリセルアレイから並列に読み出されたデータを外部入力信号のタイミングで前記ラッチ回路に保持させ、この保持されたデータのうちの複数分の1のデータを当該サイクル中に前記複数のデータ出力端子に出力し、残りのデータを次の読み出しサイクルの定められた期間に前記複数のデータ出力端子に出力するように切換信号に基づいて切換制御する出力制御回路とを具備することを特徴とする半導体記憶装置。

【請求項6】 メモリセルアレイと、
複数ビットのデータを並列に出力するための複数のデータ出力端子と、
前記メモリセルアレイと複数のデータ出力端子との間に設けられたラッチ回路と、
前記メモリセルアレイから前記複数のデータ出力端子の数の複数倍のビットのデータを並列に読み出す読み出し制御回路と、

通常動作時およびテスト動作時の各読み出しサイクルで前記メモリセルアレイから並列に読み出されたデータを外部入力信号のタイミングで前記ラッチ回路に保持させ、この保持されたデータを次の読み出しサイクルの定められた期間に複数分の1のデータ毎に前記複数のデータ出力端子に出力するように切換信号に基づいて切換制御する出力制御回路とを具備することを特徴とする半導体記憶装置。

【請求項7】 メモリセルアレイと、
複数ビットのデータを並列に出力するための複数のデータ出力端子と、
前記メモリセルアレイと複数のデータ出力端子との間に設けられたラッチ回路と、
前記メモリセルアレイから前記複数のデータ出力端子の

数の複数倍のビットのデータを並列に読み出す読み出し制御回路と、
各読み出しサイクルで前記メモリセルアレイから並列に読み出されたデータを外部入力信号のタイミングで前記ラッチ回路に保持させ、通常動作時には、前記保持されたデータのうちの複数分の1のデータを当該サイクル中に前記複数のデータ出力端子に出力し、残りのデータを次の読み出しサイクルの定められた期間に前記複数のデータ出力端子に出力するように切換信号に基づいて切換制御し、テスト動作時には、前記保持されたデータを次の読み出しサイクルの定められた期間に複数分の1のデータ毎に前記複数のデータ出力端子に出力するように切換信号に基づいて切換制御する出力制御回路とを具備することを特徴とする半導体記憶装置。

【請求項8】 前記切換信号として、前記外部入力信号が用いられることを特徴とする請求項5乃至7記載の半導体記憶装置。

【請求項9】 メモリセルアレイと、
複数ビットのデータを並列に出力するための複数のデータ出力端子と、
前記メモリセルアレイと複数のデータ出力端子との間に設けられたラッチ回路と、
前記メモリセルアレイから前記複数のデータ出力端子の数の複数倍のビットのデータを並列に読み出す読み出し制御回路と、
各読み出しサイクルで前記メモリセルアレイから並列に読み出されたデータを前記ラッチ回路に保持させ、この保持されたデータのうちの複数分の1のデータを当該サイクル中に前記複数のデータ出力端子に出力し、残りのデータを次の読み出しサイクルの定められた期間に前記複数のデータ出力端子に出力するように外部入力信号に基づいて切換制御する出力制御回路とを具備することを特徴とする半導体記憶装置。

【請求項10】 メモリセルアレイと、
複数ビットのデータを並列に出力するための複数のデータ出力端子と、
前記メモリセルアレイと複数のデータ出力端子との間に設けられたラッチ回路と、
前記メモリセルアレイから前記複数のデータ出力端子の数の複数倍のビットのデータを並列に読み出す読み出し制御回路と、
通常動作時およびテスト動作時の各読み出しサイクルで前記メモリセルアレイから並列に読み出されたデータを前記ラッチ回路に保持させ、この保持されたデータを次の読み出しサイクルの定められた期間に複数分の1のデータ毎に前記複数のデータ出力端子に出力するように外部入力信号に基づいて切換制御する出力制御回路とを具備することを特徴とする半導体記憶装置。

【請求項11】 メモリセルアレイと、
複数ビットのデータを並列に出力するための複数のデー

タ出力端子と、
前記メモリセルアレイと複数のデータ出力端子との間に設けられたラッチ回路と、
前記メモリセルアレイから前記複数のデータ出力端子の数の複数倍のビットのデータを並列に読み出す読み出し制御回路と、
各読み出しサイクルで前記メモリセルアレイから並列に読み出されたデータを前記ラッチ回路に保持させ、通常動作時には、前記保持されたデータのうちの複数分の1のデータを当該サイクル中に前記複数のデータ出力端子に出力し、残りのデータを次の読み出しサイクルの定められた期間に前記複数のデータ出力端子に出力するように切換信号に基づいて切換制御し、テスト動作時には、前記保持されたデータを次の読み出しサイクルの定められた期間に複数分の1のデータ毎に前記複数のデータ出力端子に出力するように外部入力信号に基づいて切換制御する出力制御回路とを具備することを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に係り、特に半導体メモリのデータ出力回路部に関するもので、例えばROM（読み出し専用メモリ）などに使用される。

【0002】

【従来の技術】近年の半導体メモリは、ますます大容量化が進んできているが、これに伴い、そのテストの時間が非常に長くなってきており、テスト時間の短縮が重要になってきている。このためには、一定時間内にどれだけだけのデータを読めるかを表わす読み出しレートの改善が必要となってきているが、従来の半導体メモリは、メモリ自体での改善策は特に行われていなかった。

【0003】なお、特開2000-11695公報の「ビルトインパラレルテスト回路を備えた半導体メモリ装置」には、ウエハーテスト動作モードで外部クロック信号から内部クロック信号を作り、これに同期して2つのデータを出力する方式が開示されているが、汎用メモリとの互換性やパッケージ状態でのテストへの適用についての考慮は言及されていない。

【0004】

【発明が解決しようとする課題】上記したように従来の半導体記憶装置は、テスト時間の短縮化を図るための読み出しレートの改善策が行われていなかったという問題があった。

【0005】本発明は上記の問題点を解決すべくなされたもので、外部端子数を特に増やすことなく、汎用メモリとの互換性を保ちつつ、データ読み出し、またはデータ書き込みのレートを改善でき、テストに際して所要時間を短縮し得る半導体記憶装置を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明の第1の半導体記憶装置は、メモリセルアレイと、複数ビットのデータを並列に出力するための複数のデータ出力端子と、前記メモリセルアレイと複数のデータ出力端子との間に設けられたラッチ回路と、前記メモリセルアレイから前記複数のデータ出力端子の数の複数倍のビットのデータを並列に読み出す読み出し制御回路と、アドレス信号の遷移を検知してラッチ制御信号を出力するアドレス遷移検知回路と、各読み出しサイクルで前記メモリセルアレイから並列に読み出されたデータを前記ラッチ制御信号に応じて前記ラッチ回路に保持させ、この保持されたデータのうちの複数分の1のデータを当該サイクル中に前記複数のデータ出力端子に出力し、残りのデータを次の読み出しサイクルの定められた期間に前記複数のデータ出力端子に出力するように切換信号に基づいて切換制御する出力制御回路とを具備することを特徴とする。

【0007】本発明の第2の半導体記憶装置は、メモリセルアレイと、複数ビットのデータを並列に出力するための複数のデータ出力端子と、前記メモリセルアレイと複数のデータ出力端子との間に設けられたラッチ回路と、前記メモリセルアレイから前記複数のデータ出力端子の数の複数倍のビットのデータを並列に読み出す読み出し制御回路と、アドレス信号の遷移を検知してラッチ制御信号を出力するアドレス遷移検知回路と、通常動作時およびテスト動作時の各読み出しサイクルで前記メモリセルアレイから並列に読み出されたデータを前記ラッチ制御信号に応じて前記ラッチ回路に保持させ、この保持されたデータを次の読み出しサイクルの定められた期間に複数分の1のデータ毎に前記複数のデータ出力端子に出力するように切換信号に基づいて切換制御する出力制御回路とを具備することを特徴とする。

【0008】本発明の第3の半導体記憶装置は、メモリセルアレイと、複数ビットのデータを並列に出力するための複数のデータ出力端子と、前記メモリセルアレイと複数のデータ出力端子との間に設けられたラッチ回路と、前記メモリセルアレイから前記複数のデータ出力端子の数の複数倍のビットのデータを並列に読み出す読み出し制御回路と、アドレス信号の遷移を検知してラッチ制御信号を出力するアドレス遷移検知回路と、各読み出しサイクルで前記メモリセルアレイから並列に読み出されたデータを前記ラッチ制御信号に応じて前記ラッチ回路に保持させ、通常動作時には、前記保持されたデータのうちの複数分の1のデータを当該サイクル中に前記複数のデータ出力端子に出力し、残りのデータを次の読み出しサイクルの定められた期間に前記複数のデータ出力端子に出力するように切換信号に基づいて切換制御し、テスト動作時には、前記保持されたデータを次の読み出しサイクルの定められた期間に複数分の1のデータ毎に前記複数のデータ出力端子に出力するように切換

信号に基づいて切換制御する出力制御回路とを具備することを特徴とする。

【0009】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0010】＜第1の実施形態＞図1は、本発明の半導体記憶装置の第1の実施形態に係るROMの一部を示している。

【0011】図1に示すROMは、記憶容量が例えば32Mbitであり、出力が例えばD0～D7の8ビット構成を有する。10はメモリセルアレイ、11はロウアドレス信号A9～A20が入力し、メモリセルアレイ10の行選択を行うロウデコーダ、12はカラムアドレス信号A0～A8が入力するカラムデコーダ、13はカラムデコーダ13によりスイッチ制御され、メモリセルアレイ10の列選択を行うカラムセクタ、14はメモリセルアレイ10からカラムセクタ13を介して読み出されたデータをセンス増幅するセンスアンプである。

【0012】前記ロウデコーダ11、カラムデコーダ12、カラムセクタ13およびセンスアンプ14を含む読み出し制御回路は、メモリセルアレイ10から出力ビット数の2倍のビット（16ビット）のデータを並列に読み出す機能を有する。

【0013】16は複数ビットのデータD0～D7（本例では、図示の簡単化のために2ビットのデータD0、D1のみ示す）を並列に出力するための複数のデータ出力端子（本例では、図示の簡単化のために2個のみ示す）である。

【0014】17は前記メモリセルアレイ10と複数のデータ出力端子16との間に設けられ、センスアンプのセンスデータ出力が入力するラッチ回路、18はラッチ回路17の動作を制御するラッチパルスを生成するラッチパルス生成回路である。本例のラッチパルス生成回路18は、アドレス信号の遷移を検知してATD（アドレス遷移検知）信号を生成するATD回路により、アドレス信号の遷移に同期してラッチパルスを生成する。

【0015】19は切換信号に基づいて前記ラッチ回路17の保持データを切り換えて複数のデータ出力端子16に出力するように制御される切換回路である。上記切換信号として、本例では外部アドレス信号のうちの1つのアドレス信号A-1を用いている。

【0016】前記ラッチパルス生成回路18、ラッチ回路17および切換回路19を含む出力制御回路は、各読み出しサイクルで、メモリセルアレイ10から並列に読み出されたデータを保持し、この保持したデータのうちの複数分の1（本例では2分の1）のデータを当該サイクル中に複数のデータ出力端子16に出力し、残りのデータを次の読み出しサイクルの定められた期間に複数のデータ出力端子16に出力するように切換信号に基づいて切換制御する機能を有する。即ち、前回の動作サイクルでメモリ

セルアレイ10から読み出したデータを次回の動作サイクルで一定期間保持する機能と、読み出しデータを8ビットずつ切り換えて出力端子16に出力する機能とを有する。

【0017】図2は、図1のROMの読み出し動作の一例を示すタイミング図である。

【0018】各読み出しサイクルでメモリセルアレイから読み出した16ビットのデータはラッチ回路に保持され、そのうちの8ビットのデータが当該サイクル中にアドレス信号A-1による制御に基づいて切換回路を介して出力端子に出力する。

【0019】そして、次回の読み出しサイクルの定められた期間（通常は始めの期間）で、前回の読み出しサイクルで保持した残りの8ビットのデータがアドレス信号A-1による切換制御に基づいて切換回路を介して出力端子に出力される。この時、保持データは予め出力端子の直前まできているので、このデータを読み出す動作の時間は十分に短く、一般にはサイクルタイムの半分以下である。

【0020】また、このような保持データの読み出しを行う動作サイクルでは、新たに選択されたメモリセルアレイからデータを読み出す動作を行っている。この際、各読み出しサイクルでメモリセルアレイから読み出したデータを次回の読み出しサイクルで一定期間保持しているので、保持データを出力端子に出力する動作と新たに選択されたメモリセルアレイから読み出す動作を全く無関係に並行して行うことができる。

【0021】このような読み出し動作により、動作サイクルタイムを長くすることなく、通常の読み出し動作の2倍のデータ読み出しレートで読み出すことができる。この長所をテストに利用すれば、テスト出力データを通常の読み出し動作の2倍のデータ読み出しレートで読み出すことができ、テスト時間を半分にできる。また、各サイクルでメモリセルアレイから読み出した16ビットの読み出しデータのうち最初に出力される8ビットのデータは、アクセスタイムの遅れは全くない。

【0022】つまり、通常動作時においては各動作サイクルの始めの期間に出力端子から外部に出てくるデータは実質的に無意味（無効）であるが、テスト時には、この無効な期間にもデータを出力することで、テスト時間の短縮が可能となる。

【0023】したがって、本例のROMは、通常の汎用ROMの機能を何ら損なうことなく、汎用ROMと互換性を保ちながら、ウェハ状態あるいはパッケージ状態のどちらでも、テスト出力データを通常の読み出し動作の2倍のデータ読み出しレートで読み出すことができるので、テスト時間を半分にすることができる。

【0024】しかも、メモリセルアレイから読み出した16ビットのデータを2つに分け、切換回路（図示せず）を介して1個の出力端子から時分割で出力するので、特

別な端子は不要である。

【0025】なお、本例のROMでは、汎用ROMで最も基本的なアドレスアクセスモード（tACCモード）で内部動作の制御を行う場合を例にとって説明しているが、チップイネーブル（CE）信号入力により切り換え制御を行うチップイネーブルアクセスモード（tCEモード）で内部動作の制御を行う場合にも、tACCモードに準じて適用可能である。

【0026】また、本例では、並列に読み出すビット数は出力ビット数の2倍であるが、その読み出しビット数を出力ビット数の4倍または8倍とすれば、読み出しレートは4倍または8倍となることは明らかである。

【0027】＜第2の実施形態＞前述した第1の実施形態に係るROMは、各読み出しサイクルでメモリセルアレイから読み出してラッチ回路に保持したデータの一部を出力端子に読み出し、次回の動作サイクルで残りの保持データを出力端子に読み出しているため、ラッチ回路でのデータの遅れを考慮する必要がある。この遅れを考慮する必要をなくした第2の実施形態を以下に説明する。

【0028】図3は、第2の実施形態に係るROMの読み出し動作の一例を示すタイミング図である。

【0029】図3に示す読み出し動作例から分かるように、第2の実施形態のROMは、第1の実施形態のROMと比べて、基本的な動作は同じであるが、各読み出しサイクルでメモリセルアレイから読み出したデータをラッチ回路に保持し、次回の読み出しサイクルで保持データをアドレス信号A-1により2回に切り換えて切換回路を介して出力端子に読み出す動作を繰り返すように制御される点異なる。

【0030】上記第2の実施形態のROMによれば、各読み出しサイクルでメモリセルアレイから読み出したデータは、出力端子には読み出さずにラッチ回路に伝わっていればよい。換言すれば、読み出したデータをそのままラッチ回路を介して出力端子に出力する場合のようなラッチ回路でのデータの遅れを考慮する必要がなく、第1の実施形態に係るROMよりさらに短いサイクルタイムで動作させることができる。

【0031】この場合、1動作サイクル分ずれたデータが出力端子から出力することになるが、データの読み出しレートを高くするという点では、第1の実施形態のROMよりさらに大きな効果があることは明らかである。

【0032】＜第2の実施形態の変形例＞第2の実施形態のROMは、上記したようにデータ読み出しレートは高くなるものの、汎用ROMとの互換性は若干失われてしまうことになるが、テスト時のみ本例（第2の実施形態）のように動作させ、通常動作時は第1の実施形態のように汎用ROMのタイミングで動作させるように切り換えれば、汎用ROMとの互換性を確保することが可能になる。

【0033】＜第3の実施形態＞前述した第1および第2の実施形態のROMは、チップ内部でアドレス信号の遷

移をATD 回路により検知して生成したラッチパルスにより読み出しデータをラッチしているが、外部入力パルスにより読み出しデータをラッチするように構成することも可能であり、その一例を第3の実施形態で説明する。

【0034】第3の実施形態のROM は、第1の実施形態のROM と比べて、基本的な構成および動作は同じであるが、各読み出しサイクルでメモリセルアレイから読み出したデータを外部入力パルスによりラッチして次の動作サイクルで一定期間保持するように構成されている点が異なる。なお、出力データの切り換えは第1および第2の実施形態と同様のアドレス信号A-1 を使う。

【0035】図4は、第3の実施形態に係るROM の読み出し動作の一例を示すタイミング図である。

【0036】図4に示す読み出し動作例から分かるように、第3の実施形態のROM によれば、外部入力パルスのタイミングを、アドレスの切り換わりとは全く無関係に自由に設定することができるので、テスト時間を短縮する点でより好ましいタイミングを設定することが可能になる。

【0037】なお、外部入力パルスは、ROM の外部入力端子（ピン）から入力してもよいし、チップ内に設けたテストパッドから入力してもよい。

【0038】＜第4の実施形態＞前述した各実施形態のROM は、メモリセルアレイから読み出したデータを2つに分けて1個の出力端子から時分割で出力する際、アドレス信号A-1 を使って出力データの切り換えを行った。

【0039】これに対して、アドレス信号A-1 に代えて、外部入力パルスを使って出力データの切り換えを行うように構成することも可能であり、その一例を第4の実施形態で説明する。

【0040】第4の実施形態のROM は、第3の実施形態のROM と比べて、基本的な構成および動作には同じであるが、メモリセルアレイから読み出したデータを2つに分けて1個の出力端子から時分割で出力する際、外部入力パルスを使って出力データの切り換えを行うように構成されている点が異なる。

【0041】図5は、第4の実施形態に係るROM の読み出し動作の一例を示すタイミング図である。

【0042】まず、アドレス切り換えにより、対応するデータを読み出し、外部入力パルスによりデータをラッ

チするとともに、この外部入力パルスの2つの論理レベルに対応して出力データを切り換えて残りのデータを読み出す。

【0043】上記第4の実施形態に係るROM によれば、外部入力パルスによりデータラッチおよび出力データの切り換えを兼用しているため、メモリセルアレイから読み出したデータを2つに分けて1個の出力端子から時分割で出力する場合の回路構成をより簡単化することが可能である。

【0044】なお、本発明は、上記各実施形態のROM に限らず、上記ROM と基本的に同様な読み出し動作を行う他の半導体メモリにも適用可能である。

【0045】

【発明の効果】上述したように本発明の半導体記憶装置によれば、外部端子数を特に増やすことなく、汎用メモリとの互換性を保ちつつ、テスト時のデータ読み出し、またはデータ書き込みのレートを改善でき、テスト時間を短縮することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るROM の一部を示すブロック図。

【図2】図1のROM の読み出し動作の一例を示すタイミング図。

【図3】本発明の第2の実施形態に係るROM の読み出し動作例を示すタイミング図。

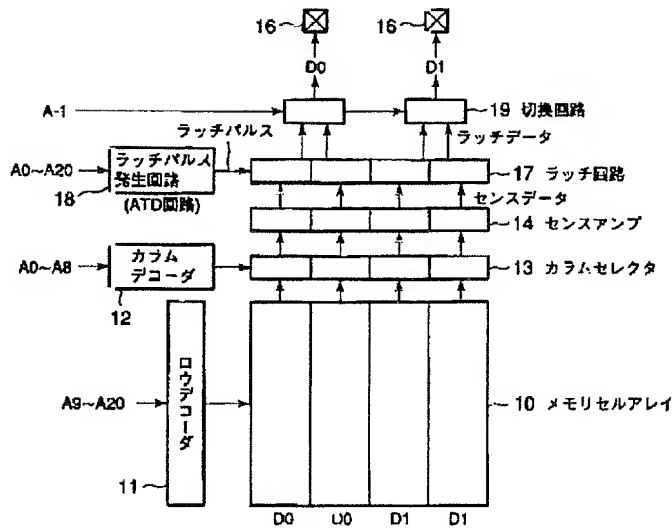
【図4】本発明の第3の実施形態に係るROM の読み出し動作例を示すタイミング図。

【図5】本発明の第4の実施形態に係るROM の読み出し動作例を示すタイミング図。

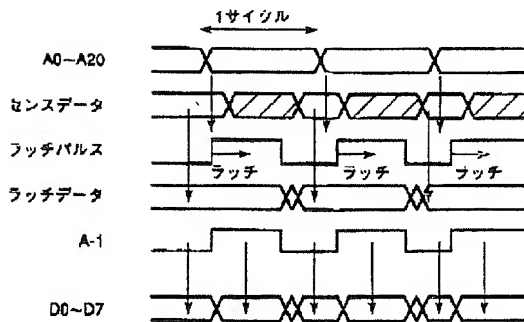
【符号の説明】

- 10…メモリセルアレイ、
- 11…ロウデコード、
- 12…カラムデコード、
- 13…カラムセクタ、
- 14…センスアンプ、
- 16…データ出力端子、
- 17…ラッチ回路、
- 18…ラッチパルス生成回路、
- 19…切換回路。

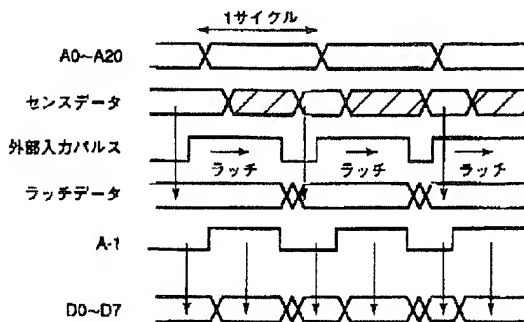
【図1】



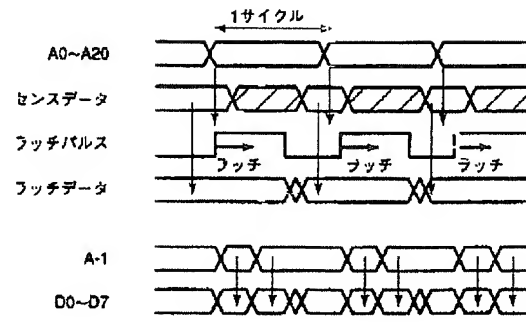
【図2】



【図4】



【図3】



【図5】

